

10 / 533056  
PCT/JP03/13941

30.10.03

日本国特許庁  
JAPAN PATENT OFFICE

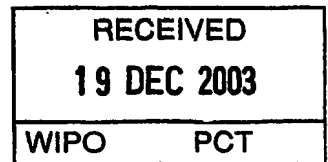
27 APR 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年10月31日

出願番号  
Application Number: 特願2002-318806  
[ST. 10/C]: [JP2002-318806]



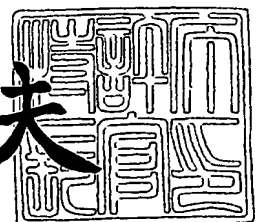
出願人  
Applicant(s): ザインエレクトロニクス株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年12月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 J02-0004

【提出日】 平成14年10月31日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H04L 7/04  
H04L 7/02  
H04L 25/08

【発明の名称】 受信装置

【請求項の数】 15

【発明者】

【住所又は居所】 東京都中央区八丁堀一丁目10番7号 ザインエレクトロニクス株式会社内

【氏名】 岡村 淳一

【特許出願人】

【識別番号】 399011195

【氏名又は名称】 ザインエレクトロニクス株式会社

【代理人】

【識別番号】 100087480

【弁理士】

【氏名又は名称】 片山 修平

【電話番号】 043-351-2361

【手数料の表示】

【予納台帳番号】 153948

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 代理権を証明する書面 1

【援用の表示】 平成14年10月25日提出の包括委任状

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 受信装置

【特許請求の範囲】

【請求項 1】 伝送クロック周期に同期した出力クロック数の異なる第 1 及び第 2 のクロック信号に基づいてシリアル伝送データをサンプリングすることで、該シリアル伝送データをパラレルデータに復調する復調回路を少なくとも 2 つ有する受信装置であって、

伝送クロック周期に同期した前記第 1 のクロック信号を生成する第 1 の同期回路と、

伝送クロック周期に同期し且つ前記第 1 のクロック信号と出力クロック数の異なる前記第 2 のクロック信号を生成する第 2 の同期回路とを有し、

前記第 2 の同期回路の少なくとも 2 つが、1 つのローパスフィルタ回路を共用することを特徴とする受信装置。

【請求項 2】 前記第 2 の同期回路の少なくとも 2 つが、1 つの位相検出回路を共用することを特徴とする請求項 1 記載の受信装置。

【請求項 3】 前記第 1 の同期回路は、少なくとも 2 つの前記復調回路に前記第 1 のクロック信号を入力することを特徴とする請求項 1 又は 2 記載の受信装置。

【請求項 4】 前記第 2 の復調回路は前記ローパスフィルタ回路から出力された制御電圧に基づいて前記第 2 のクロック信号を発振する電圧制御発振器を含んで構成されていることを特徴とする請求項 1 から 3 の何れか 1 項に記載の受信装置。

【請求項 5】 前記第 2 の復調回路は前記ローパスフィルタ回路から出力された制御電圧に基づいて前記第 2 のクロック信号を発振する電圧制御遅延器を含んで構成されていることを特徴とする請求項 1 から 3 の何れか 1 項に記載の受信装置。

【請求項 6】 前記第 2 の同期回路は共有された前記ローパスフィルタを含んで構成されたフェーズロックドループ回路又はディレイロックドループ回路を有して構成されていることを特徴とする請求項 1 から 3 の何れか 1 項に記載の受

信装置。

【請求項 7】 前記第 1 の同期回路はフェーズロックドループ回路を含んで構成され、

前記第 2 の同期回路は共有された前記ローパスフィルタを含んで構成されたディレイロックドループ回路を有して構成されていることを特徴とする請求項 1 から 3 の何れか 1 項に記載の受信装置。

【請求項 8】 前記第 2 の同期回路は、前記第 1 のクロック信号の相数を  $n$  とし、前記第 2 のクロック信号の相数を  $m$  とした場合、以下の式 1 を満足する相数  $m$  を有する前記第 2 のクロック信号を生成することを特徴とする請求項 1 から 7 の何れか 1 項に記載の受信装置。

$$n/m - 1 < 1/3 \quad \dots \text{(式 1)}$$

【請求項 9】 前記第 2 の同期回路は、前記第 1 のクロック信号の相数を  $n$  とし、前記第 2 のクロック信号の相数を  $m$  とした場合、以下の式 2 を満足する相数  $m$  を有する前記第 2 のクロック信号を生成することを特徴とする請求項 1 から 7 の何れか 1 項に記載の受信装置。

$$m/n - 1 < 1/3 \quad \dots \text{(式 2)}$$

【請求項 10】 前記復調回路は、前記第 2 の同期回路と、前記第 1 及び第 2 のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路とを有して構成され、

前記第 2 の同期回路は、前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を変更することを特徴とする請求項 1 から 9 の何れか 1 項に記載の受信装置。

【請求項 11】 前記第 2 の同期回路は、前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を変更するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第 2 の同期回路の入力クロック信号となるように選択することを特徴とする請求項 10 記載の受信装置。

【請求項 12】 前記サンプリングデータに基づいて前記シリアル伝送データに関する品位値を算出する品位値算出回路を有することを特徴とする請求項 10 又は 11 記載の受信装置。

【請求項 13】 伝送クロック周期に同期した第 1 のクロック信号を生成する第 1 の同期回路と、

伝送クロック周期に同期し且つ前記第 1 のクロック信号と出力クロック数の異なる第 2 のクロック信号を生成する第 2 の同期回路と、前記第 1 及び第 2 のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路とを有し、前記第 2 の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を変更するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第 2 の同期回路の入力クロック信号となるように選択する復調回路とを有し、

前記復調回路における前記第 2 の同期回路の少なくとも 1 つが、他の第 2 の同期回路を構成するローパスフィルタ回路から出力された制御電圧に基づいて前記第 2 のクロック信号を生成することを特徴とする受信装置。

【請求項 14】 伝送クロック周期に同期した第 1 のクロック信号を生成する第 1 の同期回路と、

伝送クロック周期に同期し且つ前記第 1 のクロック信号と出力クロック数の異なる第 2 のクロック信号を生成する第 2 の同期回路と、前記第 1 及び第 2 のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路とを有し、前記第 2 の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を変更するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第 2 の同期回路の入力クロック信号となるように選択する復調回路とを有し、

前記復調回路における前記第 2 の同期回路の少なくとも 1 つが、他の第 2 の同

期回路を構成するローパスフィルタ回路へ信号を入力し、且つ該ローパスフィルタ回路から出力された制御電圧に基づいて前記第2のクロック信号を生成することを特徴とする受信装置。

【請求項15】 伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、

伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる第2のクロック信号を生成するための制御電圧を出力する制御電圧出力回路と、

前記制御電圧出力回路から出力された前記制御電圧に基づいて前記第2のクロック信号を生成する第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路とを有し、前記第2の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を変更するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択する復調回路とを有することを特徴とする受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリアルデジタル伝送信号の受信装置に係り、特にシリアル伝送データの復調に用いられる受信装置に関する。

【0002】

【従来の技術】

近年の高速デジタル伝送信号の受信回路装置には、データの復調に際して、シリアル化シンボルビット数と同じ数の伝送クロック信号に同期した等位相のシンボルサンプルクロック信号を用いてシリアルデータをサンプリングする方式が一般的に利用されている。

## 【0003】

一方、このような単純なサンプリング方式の復調回路では、シンボルサンプルクロック信号を用いて正確に伝送データのサンプリングを行っても、伝送線路での信号の遅延の偏りによりシンボルサンプルクロック信号に対してデータの位相がずれた場合（スキュー）や、平衡伝送線路間の信号の遅延の偏りによる伝送信号自体の波形の劣化が生じた場合には、シンボルデータを完全に復調できないという問題がある。高速シリアルデジタル伝送信号の受信回路装置では、このような劣化した信号を受信した場合でも安定に復調できる回路技術が重要となっている。

## 【0004】

近年におけるサンプリング方式の復調回路では、伝送線路での信号波形の劣化に対して受信データを安定に復調するために、サンプリング点をシンボルビット数よりも多くするオーバサンプリング方式を用いることが有効な手段として用いられている。

## 【0005】

例えば以下に示す特許文献1には、高速シリアル伝送においてオーバサンプリング方式を用いて受信データを復調する全二重伝送装置の一例が開示されている。以下、これを従来技術1という。

## 【0006】

図1は、従来技術1によるオーバサンプリング方式を用いた受信回路1000の構成を示すブロック図である。尚、図1は、1つのデータブロックが8ビットで構成されおり、シリアル伝送データのビットレートに対して3倍のオーバサンプリングを行う場合の例を示している。

## 【0007】

図1に示すように、受信回路1000は、入力クロック信号101からシリアル伝送データ111のビットレートの3倍のサンプリングレートを与える多相クロック信号102を発生する同期回路（DLL／PLL）100と、この多相クロック信号102を用いてシリアル伝送データ111をオーバサンプリングするサンプリングレジスタ110と、オーバサンプリングの結果に基づいて1つのデ



ータブロックに含まれる 8 ビットのシンボル値 1 2 2 を決定する論理値決定回路 1 2 0 とを含んで構成されている。

#### 【0008】

この構成において、サンプリングレジスタ 1 1 0 に入力された 1 つのデータブロック (8 ビット) のシリアル伝送データ 1 1 1 は、シンボルビット数の 3 倍である 2 4 ビットのサンプリング点においてオーバサンプリングされることで、2 4 ビットの平行データ 1 1 2 として出力される。

#### 【0009】

論理値決定回路 1 2 0 は、サンプリングレジスタ 1 1 0 から出力された 2 4 ビットの平行データ 1 1 2 を用いて確率計算を行うことにより、シリアル伝送データ 1 1 1 の遷移点を求める。更に、論理値決定回路 1 2 0 は、求めた遷移点に基づいてオーバサンプリングによって得られた 2 4 ビットの平行データ 1 1 2 のうちから適切な 8 ビットのシンボル値 1 2 2 を決定する。

#### 【0010】

また、図 1 に示す受信回路 1 0 0 0 の動作を図 2 に示す論理値を用いて説明する。図 2 において、受信回路 1 0 0 0 に入力されたシリアル伝送データ 1 1 1 の 1 つのデータブロック 2 0 0 は、入力クロック信号 1 0 1 の 3 倍のビットレートに相当する周波数を有する多相クロック信号 1 0 2 でオーバサンプリングされた結果、シリアル伝送データ 1 1 1 の理論値を反映した 2 4 ビットの平行データ 1 1 2 として出力される。

#### 【0011】

従来技術 1 では、このようにして出力された平行データ 1 1 2 を用いて確率計算を行うことにより、遷移点 2 0 1 ~ 2 0 5 が決定される。ここでは、例えばサンプリングされた平行データ 1 1 2 において、同じ論理値が 2 回連続すれば遷移点が存在すると決定される。このようにして決定された遷移点に基づいて、2 4 ビットの平行データ 1 1 2 のうちから 8 ビットのシンボル値 1 2 2 が決定される。

#### 【0012】

従って、3 倍のオーバサンプリング方式を用いることで従来技術 1 では、デー

タの位相に関し、シンボルピリオド（クロック周波数にシンボルビット数をかけた逆数）に対して最大±30位相ずれを許容することが可能となる。

#### 【0013】

しかしながら、一般にオーバサンプリング方式では、サンプリングクロック信号とサンプリング回路数とが増大することにより、半導体集積回路において必要となる基板面積や消費電流が増大してしまうという問題が存在する。尚、3～4倍以上のオーバサンプリング方式を用いることにより、この問題に対処することも可能であるが、これでは製造コストが増大してしまうという問題が発生する。

#### 【0014】

このような問題を解決する方法としては、例えば以下に示す特許文献2が開示するところの半導体集積回路が存在する。以下、これを従来技術2という。

#### 【0015】

この従来技術2は、伝送クロック周期に同期した出力クロック数の異なる2種類のクロック信号を用いることで、伝送線路における信号の遅延の偏りによってシリアル伝送データの位相がサンプリングクロック信号に対してずれた場合やシリアル伝送データの波形が劣化した場合においても、サンプリングクロック信号数やサンプリング回路数を増加することなく、受信したシリアル伝送データのシンボル値を安定して検出することを可能にしている。より詳細には、伝送クロック周期に同期した2種類のクロック信号のうち、第1群の多相クロック信号をシリアル伝送データの位相アライメントを測定するために用い、第2群の多相クロック信号をシリアル伝送データの位相アライメントを測定するためと、シリアル伝送データのシンボル値を求めるためとに用いる。また、求められた位相アライメントの測定結果を用いて第2群の多相クロック信号の位相を調整する。これにより、シリアル伝送データに対して常に最適なサンプリングクロック信号の位相を確保することが可能となり、結果として上記のような効果が得られる。

#### 【0016】

このような従来技術2による半導体集積回路を用いた高速シリアルデジタル伝送線路の受信回路2000の構成を図3を用いて説明する。尚、図3は、受信回路2000を3チャンネルの高速デジタル受信器に適用した場合の機能ブロッ

クを示している。また、図3では、シンボルビット数を10ビットとすることで、4倍のオーバーサンプリング方式と同等以上の位相調整能力を実現している。

#### 【0017】

図3において、受信装置2000は、第1の同期回路(PLL)20を有して構成された共通回路2と、複数(図3では3つ)の復調回路3a, 3b, 3cとを有して構成されている。

#### 【0018】

PLL20は位相比較器(PDF)21とローパスフィルタ(LPF)22と電圧制御発振器(VCO)23とを有して構成されており、入力段に設けられたゲイン調整機能付きのアナログアンプ60を介して入力された平衡クロック信号(以下、入力クロック信号という)10に同期した9相の等位相のアライメント測定用クロック信号24を生成する。

#### 【0019】

また、各復調回路3a, 3b, 3c(以下、3aに着目して説明する)は、第2の同期回路(DLL)30とクロック選択回路(SEL)25とサンプリング回路(Sampler)28と位相アライメント計算回路(Calculator)40と復号回路(Decoder)50とローカルバッファ(BUF)20とを有して構成されている。DLL30は位相検出器(PD)31とLPF32と電圧制御遅延回路(VCD)33とを有して構成されている。

#### 【0020】

このような構成において、DLL30は、位相アライメント計算回路40で制御されたクロック選択回路25を介して入力されたアライメント測定用クロック信号24に基づいて入力クロック信号10に同期した10相の等位相のシンボルサンプルクロック信号34を生成し、これをサンプリング回路28へ出力する。また、サンプリング回路28には、ローカルバッファ26で波形整形された9相の等位相のアライメント測定用クロック信号27と、アナログアンプ61で増幅された平衡高速デジタルシリアルデータ(以下、単にシリアル伝送データという)11とも入力される。これら入力されたデータ及びクロック信号に基づいて、サンプリング回路28は18( $=10+9-1$ )ビットのサンプリングデータ

29を出力する。

【0021】

位相アライメント計算回路40は、サンプリング回路28から入力されたサンプリングデータ29を用いてアライメント変位量を計算し、この値をクロック選択回路25にフィードバックする。一方、18ビットのサンプリングデータ29のうちシンボルサンプルクロック信号34でサンプリングされた10ビットのデータは、復号回路50でビット位置合わせがなされた後にパラレルデータ51として出力される。尚、他のチャネル回路ブロック(3b, 3c)に関しても同様な構成及び動作が実現される。

【0022】

このような構成を有することで、従来技術2による受信装置2000は、入力クロック信号に対して位相遅延を生じたとしても安定にデータを復調することが可能となる。

【0023】

【特許文献1】

米国特許第5802103号明細書

【特許文献2】

国際公開第02/065690号パンフレット

【0024】

【発明が解決しようとする課題】

しかしながら、上記した従来技術2のように、各チャネル回路ブロックが同様な構成を有するにも関わらず、これらを個々に構成することは、チャネル数の増加に略比例して回路面積が増大という問題を引き起こす。

【0025】

そこで本発明は、上記問題に鑑みてなされたもので、回路の少なくとも1部を共用することで面積の増大が軽減された受信装置を提供することを目的とする。

【0026】

【課題を解決するための手段】

かかる目的を達成するために、本発明は、請求項1記載のように、伝送クロッ

ク周期に同期した出力クロック数の異なる第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングすることで、該シリアル伝送データをパラレルデータに復調する復調回路を少なくとも2つ有する受信装置であって、伝送クロック周期に同期した前記第1のクロック信号を生成する第1の同期回路と、伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる前記第2のクロック信号を生成する第2の同期回路とを有し、前記第2の同期回路の少なくとも2つが、1つのローパスフィルタ回路を共用するように構成される。このようにローパスフィルタのような比較的シリコン面積が大きい回路を共用するように構成することで、面積の増大が軽減された受信装置が実現される。

#### 【0027】

また、請求項1記載の前記受信装置は、好ましくは請求項2記載のように、前記第2の同期回路の少なくとも2つが、1つの位相検出回路を共用するように構成される。このように位相検出回路も共有することが可能であり、これにより、更に面積の増大が軽減できる。

#### 【0028】

また、請求項1又は2記載の前記受信装置は、好ましくは請求項3記載のように、前記第1の同期回路が、少なくとも2つの前記復調回路に前記第1のクロック信号を入力するように構成される。このように第1の同期回路も複数の復調回路で共用することができる。

#### 【0029】

また、請求項1から3の何れか1項に記載の前記受信装置は、例えば請求項4記載のように、前記第2の復調回路が前記ローパスフィルタ回路から出力された制御電圧に基づいて前記第2のクロック信号を発振する電圧制御発振器を含んで構成されてもよい。

#### 【0030】

また、請求項1から3の何れか1項に記載の前記受信装置は、例えば請求項5記載のように、前記第2の復調回路が前記ローパスフィルタ回路から出力された制御電圧に基づいて前記第2のクロック信号を発振する電圧制御遅延器を含んで

構成されてもよい。

#### 【0031】

また、請求項1から3の何れか1項に記載の前記受信装置は、例えば請求項6記載のように、前記第2の同期回路が共有された前記ローパスフィルタを含んで構成されたフェーズロックドループ回路又はディレイロックドループ回路を有して構成されてもよい。

#### 【0032】

また、請求項1から3の何れか1項に記載の前記受信装置は、例えば請求項7記載のように、前記第1の同期回路がフェーズロックドループ回路を含んで構成され、前記第2の同期回路が共有された前記ローパスフィルタを含んで構成されたディレイロックドループ回路を有して構成されてもよい。

#### 【0033】

また、請求項1から7の何れか1項に記載の前記受信装置は、好ましくは請求項8記載のように、前記第2の同期回路が、前記第1のクロック信号の相数を  $n$  とし、前記第2のクロック信号の相数を  $m$  とした場合、以下の式1を満足する相数  $m$  を有する前記第2のクロック信号を生成するように構成される。この式1を満足するように構成することで、3倍のオーバーサンプリング方式よりも細かい位相調整が可能となる。

$$n/m - 1 < 1/3 \quad \dots \text{(式1)}$$

#### 【0034】

また、請求項1から7の何れか1項に記載の前記受信装置は、好ましくは請求項9記載のように、前記第2の同期回路が、前記第1のクロック信号の相数を  $n$  とし、前記第2のクロック信号の相数を  $m$  とした場合、以下の式2を満足する相数  $m$  を有する前記第2のクロック信号を生成するように構成される。この式2を満足するように構成することで、3倍のオーバーサンプリング方式よりも細かい位相調整が可能となる。

$$m/n - 1 < 1/3 \quad \dots \text{(式2)}$$

#### 【0035】

また、請求項1から9の何れか1項に記載の前記受信装置は、例えば請求項1

0記載のように、前記復調回路が、前記第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路とを有して構成され、前記第2の同期回路が、前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を変更するように構成されてもよい。

#### 【0036】

また、請求項10記載の前記受信装置は、例えば請求項11記載のように、前記第2の同期回路が、前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を変更するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択するように構成されてもよい。これにより、入力クロック信号と第2のクロック信号との位相アライメントの修正方向を知ることができる。

#### 【0037】

また、請求項10又は11記載の前記受信装置は、例えば請求項12記載のように、前記サンプリングデータに基づいて前記シリアル伝送データに関する品位値を算出する品位値算出回路を有するように構成されてもよい。これにより、伝送線路の品位を把握することが可能となる。

#### 【0038】

また、本発明は、請求項13記載のように、伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる第2のクロック信号を生成する第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路とを有し、前記第2の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を

変更するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択する復調回路とを有し、前記復調回路における前記第2の同期回路の少なくとも1つが、他の第2の同期回路を構成するローパスフィルタ回路から出力された制御電圧に基づいて前記第2のクロック信号を生成するように構成される。このようにローパスフィルタのような比較的シリコン面積が大きい回路を共用するように構成することで、面積の増大が軽減された受信装置が実現される。

#### 【0039】

また、本発明は、請求項14記載のように、伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる第2のクロック信号を生成する第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路とを有し、前記第2の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を変更するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択する復調回路とを有し、前記復調回路における前記第2の同期回路の少なくとも1つが、他の第2の同期回路を構成するローパスフィルタ回路へ信号を入力し、且つ該ローパスフィルタ回路から出力された制御電圧に基づいて前記第2のクロック信号を生成するように構成される。このようにローパスフィルタのような比較的シリコン面積が大きい回路を共用するように構成することで、面積の増大が軽減された受信装置が実現される。

#### 【0040】

また、本発明は、請求項15記載のように、伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる第2のクロック信号を生成する



ための制御電圧を出力する制御電圧出力回路と、前記制御電圧出力回路から出力された前記制御電圧に基づいて前記第2のクロック信号を生成する第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路とを有し、前記第2の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を変更するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択する復調回路とを有するように構成される。このようにローパスフィルタのような比較的シリコン面積が大きい回路を共用するように構成することで、面積の増大が軽減された受信装置が実現される。

#### 【0041】

##### 【発明の実施の形態】

本発明を好適に実施した形態について説明するにあたり、本発明で使用する受信装置の基本構成の一例について図面を用いて詳細に説明する。

#### 【0042】

本発明の基本構成は、例えば、高速シリアルデジタル伝送信号を復調する受信装置に係り、伝送線路での信号の遅延の偏りによりシンボルサンプルクロックに対してデータの位相がずれた場合（スキュー）や、平衡伝送線路間の信号の遅延の偏りにより伝送信号の波形の劣化が生じた場合でも、受信データを安定に復調できる受信装置に関する。従来、このような受信装置においてオーバサンプリング方式を使用した場合、サンプリングクロックとサンプリング回路数とが増大するという問題が生じる。そこで本発明は、このような問題が回避された低消費電力の高速シリアルデジタル伝送信号の受信装置を実現する。

#### 【0043】

本発明における高速シリアルデジタル伝送信号の受信装置には、例えば伝送クロック周期に同期した出力クロック数の異なる2種類の等位相クロック発生器（第1及び第2の同期回路に相当）を使う。この2種類の等位相クロック発生器

では、シンボルサンプルクロック信号と、同期アライメント検出用のクロック信号（以下、アライメント測定用クロック信号という）とが生成される。従って、本発明による受信装置では、生成された2種類のクロック信号を用いて、シリアル伝送データのシンボルサンプルクロック信号に対するアライメントを測定し、この測定結果を用いてシンボルサンプルクロック信号の位相を調整することで、シリアル伝送データに対して常に最適なシンボルサンプルクロック信号の位相を保持できる。

#### 【0044】

これにより本発明により使用される基本構成の一例では、上記のような要因により劣化したデータ信号を受信した場合でも、この受信データを安定して復調することが可能となる。更に、上記のような構成を有することで、シンボルサンプルクロック信号とサンプリング回路数とを削減することが可能となるため、通常のオーバサンプリング方式のサンプル数よりも少ないシンボルサンプルクロック信号でオーバサンプリング方式と同等以上の伝送データの復調が可能となる。

#### 【0045】

次に、以上で例示したような基本構成を有する受信装置を図面を用いて詳細に説明する。

#### 【0046】

図4は、例示した基本構成を有して成る高速シリアルデジタル伝送線路の受信装置3000の概略構成を示す機能ブロック図である。尚、図4では、シンボルサンプルクロック信号のシンボルビット数を8ビットとすることで、3倍のオーバサンプリング方式と同等以上の位相調整能力を実現している。

#### 【0047】

図4に示すように、受信装置3000は、第1の同期回路（ $nDLL/nPLL$ ）300と第2の同期回路（ $mDLL/mPLL$ ）310とサンプリングレジスタ320とアライメント計算回路330とを有して構成される。

#### 【0048】

第1の同期回路である $nDLL/nPLL$ 300は、遅延同期回路（ $DLL$ ）若しくは位相同期回路（ $PLL$ ）で構成されており、入力クロック信号101が

らアライメント測定用の7相(=n)の等位相クロック信号(アライメント測定用クロック信号)301を生成し、これをmDLL/mPLL310及びサンプリングレジスタ320へ出力する。

#### 【0049】

第2の同期回路であるmDLL/mPLL310は、7相のアライメント測定用クロック信号301のうち任意の1つのクロック信号と同期した8相(=m)の等位相クロックであるシンボルサンプルクロック信号311を生成し、これをサンプリングレジスタ320へ出力する。

#### 【0050】

サンプリングレジスタ320には、上記した7相のアライメント測定用クロック信号301及び8相のシンボルサンプルクロック信号311の他に、平衡高速デジタルシリアル伝送データ(以下、単にシリアル伝送データという)111も入力される。サンプリングレジスタ320は、入力された2つのクロック信号(301, 311)を重ね合わせた(論理和)相のクロック信号である14相(=n+m-1:1つのクロック信号が重なる為)のクロック信号を用いてシリアル伝送データ111をサンプリングする。即ち、本説明においてシリアル伝送データ111は、サンプリングレジスタ320においてシンボルビット数の1.75倍(14相/8相)で平行化される。また、このサンプリングで得られた14ビットのサンプリング信号321は、アライメント計算回路330に入力される。

#### 【0051】

アライメント計算回路330は、入力された1.75倍のサンプリング信号321に対して確率計算を行うことで、最終的に8ビットのシンボル値331とアライメント変位量340とを決定する。尚、アライメント変位量340はmDLL/mPLL310へ入力される。mDLL/mPLL310は入力されたアライメント変位量340に基づいてシンボルサンプルクロック信号311を生成する。

#### 【0052】

次に、図4に示す受信装置3000の論理値レベルでのタイミング動作を図5

を用いて詳細に説明する。

#### 【0053】

図5において、入力されたシリアル伝送データ511は、サンプリングレジスタ320において、8ビットのシンボルビット数のシンボル長(200)のクロック周期を7等分するアライメント測定用クロック信号301である7相の等位相クロックのタイミングに相当する第1群のサンプリング点401～407と、第1群のサンプリング点401～407の任意のクロック信号に同期してクロック周期を8等分するシンボルサンプルクロック311である8相の等位相クロックに相当する第2群のサンプリング点411～418とでサンプリングされる。この結果、14ビットのサンプルデータ(421, 422a, 422b, 423a, 423b, 424a, 424b, 425, 426a, 426b, 427a, 427b, 428a, 428b)が生成される。

#### 【0054】

アライメント計算回路330は、入力された14ビットのサンプルデータ(421a, 422a, 422b, 423a, 423b, 424a, 424b, 425, 426a, 426b, 427a, 427b, 428a, 428b)を用いて、適切な位相アライメント位置からの変位量(アライメント変位量340)を計算する。

#### 【0055】

以下に、シリアル伝送データ511の適切な位相アライメント位置からの変位量(340)を計算する方法の一例について説明する。

#### 【0056】

まず、アライメント計算回路330は、内部レジスタ441～447における値を「0」にリセットする。次に、アライメント計算回路330は、サンプルデータ422aの論理値がサンプルデータ422bの論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ442に格納する。同様にアライメント計算回路330は、サンプルデータ423aの論理値がサンプルデータ423bの論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ443に格納する。同様にアライメント計算回路330は、サンプルデ

ータ 424 a の論理値がサンプルデータ 424 b の論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ 444 に格納する。

#### 【0057】

一方、アライメント計算回路 330 は、サンプルデータ 426 a の論理値がサンプルデータ 426 b の論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ 445 に格納する。同様にアライメント計算回路 330 は、サンプルデータ 427 a の論理値がサンプルデータ 427 b の論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ 446 に格納する。同様にアライメント計算回路 330 は、サンプルデータ 428 a の論理値がサンプルデータ 428 b の理論値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ 447 に格納する。

#### 【0058】

ここで、位相アライメント変位置 340 は、内部レジスタ 441～447 にそれぞれ格納されている値の総和を求めることにより算出される。即ち、シリアル伝送データ 511 が適切な位相アライメント位置に存在する場合には、アライメント変位置 340 が「0」となる。また、内部レジスタ 441～447 にそれぞれ格納されている値の絶対値の総和を求めることにより、伝送線路の品位を表す伝送品位値を計算することもできる。即ち、伝送線路の品位が良好である場合は、伝送品位値が「6」となる。

#### 【0059】

また、アライメント計算回路 330 では、シンボルサンプルクロック信号 311 に相当する第 2 群のサンプリング点 411～418 においてシリアル伝送データ 511 をサンプリングすることで得られた 8 ビットのシンボル値 431 が出力信号として復調される。

#### 【0060】

また、上記したシリアル伝送データの適切な位相アライメント位置からの変位置 (340) を計算する方法の他の例を以下に説明する。

#### 【0061】

先の例においては、内部レジスタ 441～447 に「0」, 「-1」, 「+1

」の何れかを格納したが、本例では、内部レジスタ 441～447に「0」又は「1」を格納する。即ち、アライメント計算回路 330は、比較すべき1つのサンプリングデータの論理値が等しければ「1」をそれぞれの内部レジスタ 441～447に格納する。その後、アライメント計算回路 330は、内部レジスタ 441～444にそれぞれ格納されている値の和（これをSUM1する）と、内部レジスタ 445～447にそれぞれ格納されている値の和（これをSUM2とする）とを求め、これらの差（SUM2－SUM1）を求めることにより、シリアル伝送データ 511の適切な位相アライメント位置からの変位置量（340）を計算することができる。

#### 【0062】

次に、図5を用いて説明した動作において、入力されるシリアル伝送データ 511の位相がシンボルサンプルクロック信号 311に対して位相ずれを生じている場合についての論理値レベルでの動作を図6を用いて詳細に説明する。尚、このような状況は、伝送線路における信号遅延時間がシリアル伝送データ 511と入力クロック信号 101との間で異なることで生じる劣化の一例である。

#### 【0063】

図6において、入力されたシリアル伝送データ 511は、1つのサンプリング点を共有する第1群のサンプリング点 401～407と第2群のサンプリング点 411～418とにおいてサンプリングされた結果、14ビットのサンプルデータ（521, 522a, 522b, 523a, 523b, 524a, 524b, 525, 526a, 526b, 527a, 527b, 528a, 528b）として出力される。この際、本説明における状況では、シリアル伝送データ 511の位相アライメント位置がシンボルサンプルクロック信号 311に対してずれているために、アライメント計算回路 330において内部レジスタ 441～447にそれぞれ格納されている値の総和、即ちアライメント変位置量 340を求めると、これが「0」とならず「+2」となる。従って、mDLL/mPLL 310は、このアライメント変位置量「+2」に基づいて、出力するシンボルサンプルクロック信号 311のなかから基準位相として選択するクロック信号を変更することにより、位相アライメントの調整を行う。また、アライメント計算回路 330に

において、内部レジスタ 441～447 にそれぞれ格納されている値の絶対値の総和、即ち伝送品位値を求めると、この品位値が「6」とならず「4」となる。これは伝送線路等の影響により受信したシリアル伝送データ 511 の品位が劣化していることを表している。

#### 【0064】

更に、図 6 に示す位相ずれを調整した後の論理値レベルでの動作を図 7 を用いて詳細に説明する。

#### 【0065】

図 7 において、計算されたアライメント変位置 340 が「+2」であったため、mDLL/mPLL 310 において基準位相として選択するシンボルサンプルクロック信号 311 を「-2」分ずらす。これにより、基準位相を与えるクロック信号がサンプリング点 401 を与えるアライメント測定用クロック信号 301 からサンプリング点 406 を与えるアライメント測定用クロック信号 301 に変更される。また、これと同時に、内部レジスタ 441～447 に格納された値をリセットする。この際、mDLL/mPLL 310 へ入力するアライメント変位置 340 を、所定の時間に渡って積分して平均値化することで得られた値としてもよい。

#### 【0066】

従って、入力されたシリアル伝送データ 511 は、新たに配列された第 1 群及び第 2 群のサンプリング点においてサンプリングされた結果、14 ビットのサンプルデータ (623a, 623b, 624a, 624b, 625, 626a, 626b, 627a, 627b, 628a, 628b, 621, 622a, 622b) として出力される。その後、アライメント計算回路 330 は、内部レジスタ 441～447 にそれぞれ格納された値を用いてアライメント変位置 340 を再度計算する。この際、基準位相となるサンプリング点が「-2」分ずれたため、計算されるアライメント変位置 340 は「0」となる。また、伝送の品位値も「6」となる。

#### 【0067】

以上のように、アライメント計算回路 330 による計算結果を用いてシリアル

伝送データ 1 1 1 とシンボルサンプルクロック信号 3 1 1 との位相関係を常に調整することにより、少ないサンプリング数によって伝送線路における信号波形の劣化（スキュー等）に対してシンボル値を安定に検出することが可能となる。

#### 【0068】

尚、以上で説明したアライメント計算回路 330 におけるアライメント変位量 340 の計算方法はある 1 つの例にすぎず、この例以外の方法でも、第 1 群及び第 2 群のサンプリング点によりサンプリングされるサンプルデータを用いて伝送の品位を評価する回路を構成することは可能である。

#### 【0069】

また、図 8（a）に、上述したような受信装置 3000 において用いられる  $n$ （ $n$  は正の整数）相のクロック信号（第 1 の同期回路で生成されるクロック信号）及び  $m$ （ $m$  は正の整数）相のクロック信号（第 2 の同期回路で生成されるクロック信号）を用いたサンプリング方式における、最低限必要なサンプリング数とシリアル伝送データの位相調整範囲との例を列挙する。また、比較のため、図 8（b）に従来技術 1 において用いられる  $X$ （ $X$  は正の整数）倍のオーバサンプリング方式における、最低限必要なサンプリング数とシリアル伝送データの位相調整範囲との例を示す。両者を比較すると、 $n \leq m$  の場合に以下の式 1 を満足することで、本発明において用いられる方式の方が、従来技術 1 で用いられている 3 倍のオーバサンプリング方式よりも細かい位相調整が可能であることが分かる。

$$m/n - 1 < 1/3 \quad \dots \text{ (式 1)}$$

#### 【0070】

また、 $n > m$  としてもよく、その場合には以下の式 2 を満足することで、本発明において用いられる方式の方が、従来技術 1 で用いられる 3 倍のオーバサンプリング方式よりも細かい位相調整が可能となる。

$$n/m - 1 < 1/3 \quad \dots \text{ (式 2)}$$

#### 【0071】

次に、図 4 に示す受信装置 3000 において、入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対して非平衡にずれている場合の論理値レベルでの動作を図 9 を用いて詳細に説明する。このような状況は、平衡伝



送線路において信号遅延時間がシリアル伝送データと入力クロック信号との間で異なることに加えて、平衡伝送線路に含まれる2つの伝送線路間においても信号遅延時間に違いが生じることにより生じる劣化の一例である。

#### 【0072】

図9において、入力されたシリアル伝送データ811は、1つのデータブロック200の期間を7等分する等位相クロックであるアライメント測定用クロック信号301に相当する第1群のサンプリング点401～407と、そのうちの1つのサンプリング点に同期して1つのデータブロック200の期間を8等分する等位相クロックであるシンボルサンプルクロック信号311に相当する第2群のサンプリング点411～418とにおいてサンプリングされた結果、14ビットのサンプルデータ821, 822a, 822b, 823a, 823b, 824a, 824b, 825, 826a, 826b, 827a, 827b, 828a, 828bとして出力される。

#### 【0073】

この際、図9では、入力されたシリアル伝送データ811の立ち下がりエッジがシンボルサンプルクロック信号311の位相に対してずれている。このため、アライメント計算回路330において、入力された14ビットのサンプルデータ821, 822a, 822b, 823a, 823b, 824a, 824b, 825, 826a, 826b, 827a, 827b, 828a, 828bに基づいてアライメント変位量340を計算した結果、アライメント変位量が「0」にならず「+1」になる。このアライメント変位量340に基づいて、mDLL/mPLL310における基準位相を示すシンボルサンプルクロック信号311の選択を変更することにより、位相アライメントの調整を行うことができる。

#### 【0074】

更に、図9に示す位相ずれを調整した後の論理値レベルでの動作を図10を用いて詳細に説明する。

#### 【0075】

図10において、計算されたアライメント変位量340が「+1」であったため、mDLL/mPLL310において基準位相として選択するクロック信号を

「-1」分ずらす。これにより、基準位相を与えるクロック信号がサンプリング点401を与えるクロック信号からサンプリング点407を与えるクロック信号に変更される。この際、mDLL/mPLL310へ入力するアライメント変位量340を、所定の時間に渡って積分して平均値化することで得られた値としてもよい。

#### 【0076】

従って、入力されたシリアル伝送データ811は、新たに配列されたサンプリング点においてサンプリングされた結果、14ビットのサンプルデータ822a, 822b, 823a, 823b, 824a, 824b, 825, 826a, 826b, 827a, 827b, 828a, 828b, 821として出力される。この際、基準位相となるサンプリング点が「-1」分ずれたため、アライメント計算回路330において計算されるアライメント変位量340は「0」となる。

#### 【0077】

しかしながら、上記の動作の結果、アライメント変位量340は「0」となったが、内部レジスタ441～447にそれぞれ格納されている値の絶対値の総和である伝送品位値が、伝送の良好を示す「6」と異なり「4」となっている。これは、平衡伝送線路においてシリアル伝送データが単にシンボルサンプルクロック信号に対して遅延している場合（図6参照）と異なり、平衡伝送線路に含まれる2つの伝送線路間においても遅延時間に違いが生じているような劣悪な波形を有するシリアル伝送データを受信している場合には、位相アライメントが合った状態においても伝送の品位値が小さくなることを示している。

#### 【0078】

このように、上述のような基本構成を有する受信装置では、アライメント計算回路の内部レジスタに格納されている値の総和を求めることにより、位相アライメントの修正方向を知ることができるのに加えて、アライメント計算回路の内部レジスタに格納されている値の絶対値の総和を求めることにより、伝送線路の品位を把握することが可能となる。

#### 【0079】

尚、以上で説明したアライメント計算回路330を使って伝送の品位を評価す

る回路のアルゴリズム（計算方法）はある 1つの例にすぎず、この例以外の方法でも、第 1 群及び第 2 群のサンプリング点によりサンプリングされるサンプルデータを用いて伝送の品位を評価する回路を構成することは可能である。

#### 【0080】

一般のシリアル伝送線路においては、その伝送線路の品位がダイナミックに変動することが容易に起こり得る。この場合に、簡易な方法で伝送線路の品位（劣化程度）を測定することができれば、伝送線路の品位に対応した送信方法を選択することも可能となる。例えば、劣化の激しい伝送線路においては、ビットレートを下げてシリアル伝送データを送信するように送信回路を制御することにより、シリアル伝送データを安定に送信することが可能になる。同様に、伝送線路の品位に対応した受信方法を選択することも可能である。例えば、劣化の激しい伝送線路においては、受信装置において増幅器の初段のゲインを増加させたり、波形等化を行うことにより、シリアル伝送データを安定に受信することが可能になる。

#### 【0081】

本発明で例示した基本構成によれば、従来技術 1 で示したオーバサンプリング方式と同等以上の位相調整能力を有する受信装置をオーバサンプリング方式に必要なクロック信号数よりも大幅に少ないクロック信号を用いて実現することが可能となる。これにより、オーバサンプリング方式と同等以上の性能を、より少ない消費電力で実現することができる。

#### 【0082】

更に、従来技術 1 で示したオーバサンプリング方式においては、シリアル伝送データの品位をダイナミックに測定することは困難であったが、本発明で例示した基本構成によれば、これが容易に可能となる。これにより、伝送線路の品位にダイナミックに適應することが可能となる。

#### 【0083】

また、以上の説明では、入力クロック信号に同期する  $n$  相のクロック信号を発生するために PLL（フェーズロックドループ回路）又は DLL（ディレイロックドループ回路）を用いると共に、 $n$  相の多相クロック信号のうちの選択された

1つのクロック信号に同期する $m$ 相のクロック信号を発生するためにPLL又はDLL回路を用いた例を説明したが、等間隔の多相クロック信号を発生することができる他の回路を用いても、本発明は実施可能で且つ有効である。また、多相クロック信号の数については、 $n \neq m$ であれば、如何なる $n$ と $m$ との値を用いても、本発明の基本構成の代替手段として適用することができる。

#### 【0084】

このような基本構成において、1チャンネルのシリアル伝送データを受信するための受信装置4000は、図11のような機能ブロック構成を有する。尚、図11では、シンボルサンプルクロック信号のシンボルビット数を10ビットとすることで、4倍のオーバサンプリング方式と同等以上の位相調整能力を実現している。

#### 【0085】

図11において、受信装置4000は、第1の同期回路(PLL)20を有して構成された共通回路2と、1つの復調回路3とを有して構成されている。

#### 【0086】

PLL20は位相比較器(PDF)21とローパスフィルタ(LPF)22と電圧制御発振器(VCO)23とを有して構成されており、入力段に設けられたゲイン調整機能付きのアナログアンプ60を介して入力された平衡クロック信号(入力クロック信号)10に同期した9相の等位相のアライメント測定用クロック信号24を生成する。

#### 【0087】

また、復調回路3は、第2の同期回路(DLL)30とクロック選択回路(SEL)25とサンプリングレジスタ(Sampler)28とアライメント計算回路(Calculator)40と復号回路(Decoder)50とローカルバッファ(BUF)26とを有して構成されている。DLL30は位相検出器(PD)とLPF32と電圧制御遅延回路(VCD)33とを有して構成されている。尚、第2の同期回路(30)はDLLであってもPLLであってもよい。但し、PLLとして構成した場合、VCD(33)の代りにVCOが用いられる。

## 【0088】

このような構成において、DLL30は、位相アライメント計算回路40で制御されたクロック選択回路25を介して入力されたアライメント測定用クロック信号24に基づいて、より詳細には、DLL30におけるLPF32から出力される制御電圧に基づいて、少なくとも1つの信号が入力クロック信号のうち何れか1つと位相同期した10相の等位相のシンボルサンプルクロック信号34をVCD33において生成し、これをサンプリング回路28へ出力する。また、サンプリング回路28には、ローカルバッファ26で波形整形された9相の等位相のアライメント測定用クロック信号27と、アナログアンプ61で増幅された平衡高速デジタルシリアルデータ（以下、単にシリアル伝送データという）11とも入力される。これら入力されたデータ及びクロック信号に基づいて、サンプリング回路28は18（ $=10+9-1$ ）ビットのサンプリングデータ29を出力する。

## 【0089】

位相アライメント計算回路40は、サンプリング回路28から入力されたサンプリングデータ29を用いてアライメント変位置量を計算し、この値をクロック選択回路25にフィードバックする。一方、18ビットのサンプリングデータ29のうちシンボルサンプルクロック信号34でサンプリングされた10ビットのデータは、復号回路50でビット位置合わせがなされた後にパラレルデータ51として出力される。

## 【0090】

このような機能ブロック構成を単純に複数チャネルのシリアル伝送データを受信するための受信装置に適用した場合、チャネル数と同等の数の復調回路3が必要となる。このため、チャネル数の増加に略比例して回路面積が増大してしまう。そこで本発明では、以下に挙げる各実施例のように、第2の同期回路（PLL/DLL）からの制御電圧をチャネル間で共用することで、回路面積の増大を抑えた構成とする。これにより、低消費電力で且つ高性能の高速シリアルデジタル伝送信号の受信装置が実現できる。以下、本発明による好適な実施例について図面を用いて詳細に説明する。

## 【0091】

## 〔第1の実施例〕

まず、本発明の第1の実施例について図面を用いて詳細に説明する。図12は、本実施例による受信装置5000の構成を示す機能ブロック図である。尚、図12では、3チャンネルのシリアル伝送データを受信するための受信装置5000において、シンボルサンプルクロック信号のシンボルビット数を10ビットとすることで、4倍のオーバサンプリング方式と同等以上の位相調整能力を実現している。

## 【0092】

図12に示すように、本実施例による受信装置5000は、共通回路2と、3つの復調回路3A, 3B, 3Cとを有して構成されている。この構成において、共通回路2の構成は、図11で説明した構成と同様であり、復調回路3A, 3B, 3Cそれぞれにアライメント測定用クロック信号24を入力する。

## 【0093】

また、各復調回路3A, 3B, 3Cにおいて、何れか（ここでは復調回路3Aとする）は、図11で示す復調回路3と同様の構成を有している。また、この他の復調回路（ここでは復調回路3B, 3Cとする）は、上記の復調回路3AのDLL30におけるPD31とLPF32との構成を共用している。このため、復調回路3B, 3CにおけるDLL30aには、PD31とLPF32とを設ける必要がない。

## 【0094】

このように、比較的大きなシリコン面積を必要とする位相比較器(PD)31とローパスフィルタ(LP F)32との構成を複数の復調回路において共用する構成とすることで、回路面積を大幅に削減することが可能となる。尚、この他の構成は、図11を用いて説明した構成と同様な構成を適用することができるため、ここでは説明を省略する。但し、本発明では図11を用いて説明した構成に限らず、比較的シリコン面積の大きいLP Fが各復調回路に用いられる構成であれば、如何なるものも適用することが可能である。

## 【0095】

## 〔第 2 の実施例〕

次に、本発明の第 2 の実施例について図面を用いて詳細に説明する。図 13 は、本実施例による受信装置 6000 の構成を示す機能ブロック図である。尚、図 13 でも、3 チャネルのシリアル伝送データを受信するための受信装置 6000 において、シンボルサンプルクロック信号のシンボルビット数を 10 ビットとすることで、4 倍のオーバサンプリング方式と同等以上の位相調整能力を実現している。

## 【0096】

図 13 に示すように、本実施例による受信装置 6000 は、共通回路 2 と、共通同期回路 2A と、3 つの復調回路 3D, 3E, 3F とを有して構成されている。この構成において、共通回路 2 の構成は、図 11 で説明した構成と同様である。

## 【0097】

また、共通同期回路 2A は、図 11 に示す復調回路 3 に設けられていた DLL 30 を複数の復調回路で共通化するために、各復調回路 3D, 3E, 3F とは別に設けられた DLL 30 を含んでなる。また、共通同期回路 2A には、この DLL 30 に入力されるアライメント測定用クロック信号 24 の波形を整形するためのローカルバッファ 26 も含まれる。このような構成を有する共通同期回路 2A を設けることで、各復調回路 3D, 3E, 3F において比較的大きなシリコン面積を必要とする PD 31 と LPF 32 とを省略することができ、回路面積を大幅に削減することが可能となる。尚、この他の構成は、図 11 を用いて説明した構成と同様な構成を適用することが可能であるため、ここでは説明を省略する。但し、本発明では図 11 を用いて説明した構成に限らず、比較的大きなシリコン面積の大きい LPF が各復調回路に用いられる構成であれば、如何なるものも適用することが可能である。

## 【0098】

## 〔第 3 の実施例〕

次に、本発明の第 3 の実施例について図面を用いて詳細に説明する。図 14 は、本実施例による受信装置 7000 の構成を示す機能ブロック図である。尚、図

14でも、3チャンネルのシリアル伝送データを受信するための受信装置7000において、シンボルサンプルクロック信号のシンボルビット数を10ビットとすることで、4倍のオーバサンプリング方式と同等以上の位相調整能力を実現している。

#### 【0099】

図14に示すように、本実施例による受信装置7000は、共通回路2と、3つの復調回路3G, 3H, 3Jとを有して構成されている。この構成において、共通回路2の構成は、図11で説明した構成と同様である。

#### 【0100】

また、各復調回路3G, 3H, 3Jにおいて、何れか（ここでは復調回路3Gとする）は、図11で示す復調回路3と同様の構成を有している。また、この他の復調回路（ここでは復調回路3H, 3Jとする）は、上記の復調回路3GのDLL30におけるPD31の構成を共用している。このため、復調回路3H, 3JにおけるDLL30bには、LPF32を設ける必要がない。

#### 【0101】

このように、比較的大きなシリコン面積を必要とするローパスフィルタ（LPF）32の構成を複数のチャンネル回路ブロックにおいて共用する構成とすることで、回路面積を大幅に削減することが可能となる。尚、この他の構成は、図11を用いて説明した構成と同様な構成を適用することが可能であるため、ここでは説明を省略する。但し、本発明では図11を用いて説明した構成に限らず、比較的大きなシリコン面積の大きいLPFが各復調回路に用いられる構成であれば、如何なるものも適用することが可能である。

#### 【0102】

##### 〔他の実施形態〕

以上、説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

#### 【0103】

##### 【発明の効果】

以上説明したように、本発明によれば、回路の少なくとも1部を共用すること



で面積の増大が軽減された受信装置が提供される。更に、このような効果を奏する受信装置を低消費電力特性を有する構成を用いて実現することができる。

【図面の簡単な説明】

【図 1】

従来技術 1 によるオーバサンプリング方式を用いた受信回路 1000 の構成を示すブロック図である。

【図 2】

図 1 に示す受信回路 1000 の動作を論理値を用いて説明するための図である。

【図 3】

従来技術 2 による半導体集積回路を用いた高速シリアルデジタル伝送線路の受信回路 2000 の構成を示す機能ブロック図である。

【図 4】

本発明において例示する高速シリアルデジタル伝送線路の受信装置 3000 の概略構成を示す機能ブロック図である。

【図 5】

図 4 に示す受信装置 3000 の論理値レベルでのタイミング動作を示す図である。

【図 6】

図 5 を用いて説明した動作において入力されるシリアル伝送データ 511 の位相がシンボルサンプルクロック信号 311 に対して位相ずれを生じている場合についての論理値レベルでの動作を示す図である。

【図 7】

図 6 に示す位相ずれを調整した後の論理値レベルでの動作を示す図である。

【図 8】

図 8 (a) は受信装置 3000 において用いられる  $n$  ( $n$  は正の整数) 相のクロック信号及び  $m$  ( $m$  は正の整数) 相のクロック信号を用いたサンプリング方式における最低限必要なサンプリング数とシリアル伝送データの位相調整範囲との例を列挙するテーブルであり、図 8 (b) は従来技術 1 において用いられる  $X$  (

Xは正の整数) 倍のオーバーサンプリング方式における最低限必要なサンプリング数とシリアル伝送データの位相調整範囲との例を列挙するテーブルである。

【図 9】

入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対して非平衡にずれている場合の論理値レベルでの動作を示す図である。

【図 10】

図 9 に示す位相ずれを調整した後の論理値レベルでの動作を示す図である。

【図 11】

本発明において例示する 1 チャンネルのシリアル伝送データを受信するための受信装置 4000 の構成を示す機能ブロック図である。

【図 12】

本発明の第 1 の実施例による受信装置 5000 の構成を示す機能ブロック図である。

【図 13】

本発明の第 2 の実施例による受信装置 6000 の構成を示す機能ブロック図である。

【図 14】

本発明の第 3 の実施例による受信装置 7000 の構成を示す機能ブロック図である。

【符号の説明】

2 共通回路

2A 共通同期回路

3A, 3B, 3C, 3D, 3E, 3F, 3G, 3H, 3J 復調回路

10 平衡クロック信号

11, 12, 13 シリアル伝送データ

21 PDF

22 LPF

23 VCO

20 PLL

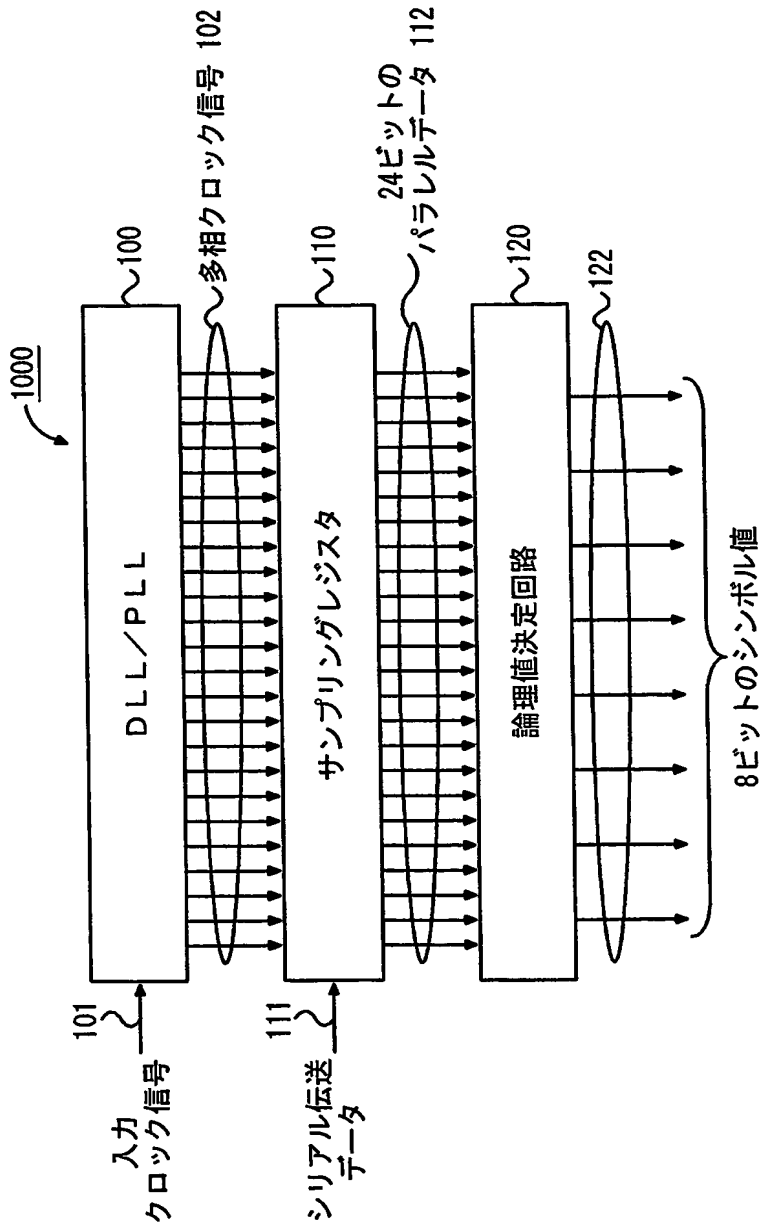
24, 27 アライメント測定用クロック信号  
29 サンプリングデータ  
25 クロック選択回路 (SEL)  
26 ローカルバッファ (BUF)  
28 サンプリング回路 (Sampler)  
30, 30a, 30b DLL  
31 PD  
32 LPF  
33 VCD  
34 シンボルサンプルクロック信号  
40 位相アライメント計算回路 (Calculator)  
50 復号回路 (Decoder)  
51, 52, 53 パラレルデータ  
60, 61, 62, 63 ゲイン調整機能付きアナログアンプ  
101 入力クロック信号  
111, 511 シリアル伝送データ  
200 1つのデータブロック  
3000, 4000, 5000, 6000, 7000 受信装置  
300 nDLL/nPLL (第1の同期回路)  
301 アライメント測定用クロック信号  
310 mDLL/mPLL (第2の同期回路)  
311 シンボルサンプルクロック信号  
320 サンプリングレジスタ  
321 サンプリング信号  
330 アライメント計算回路  
331 シンボル値 (8ビット)  
340 アライメント変位量  
401~407 第1群のサンプリング点  
411~418 第2群のサンプリング点

421～428b、521～528b、621～628b、821～828b  
、921～928b サンプルデータ  
441～447 内部レジスタ  
431、531、631、831、931 シンボル値 (8ビット)

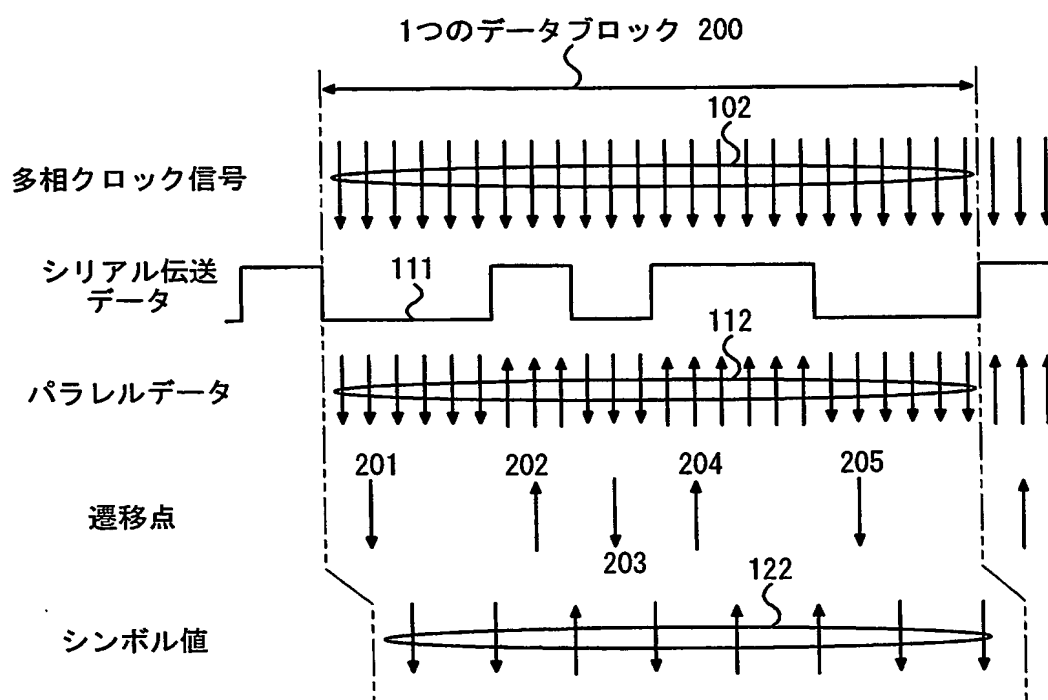
【書類名】

図面

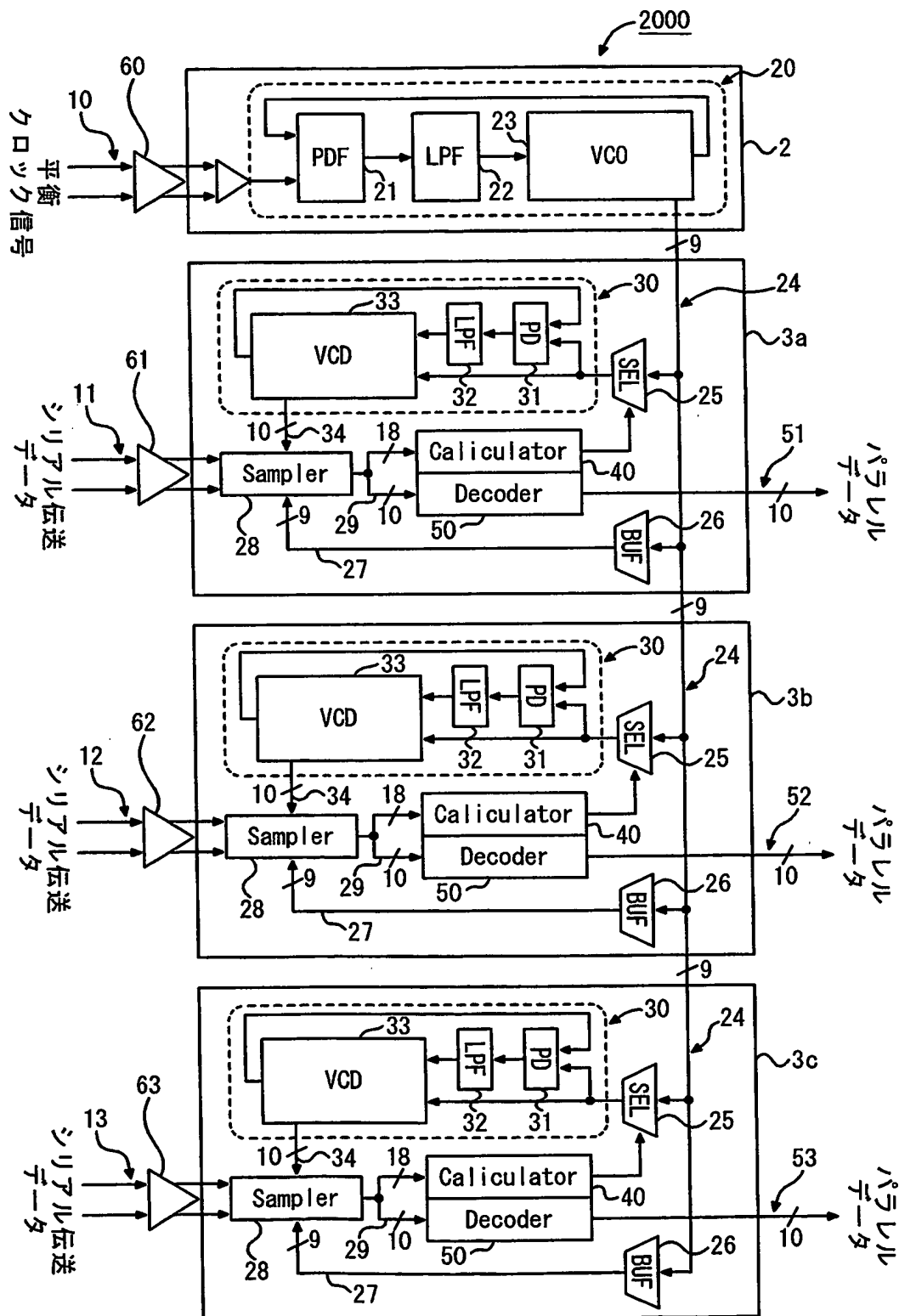
【図1】



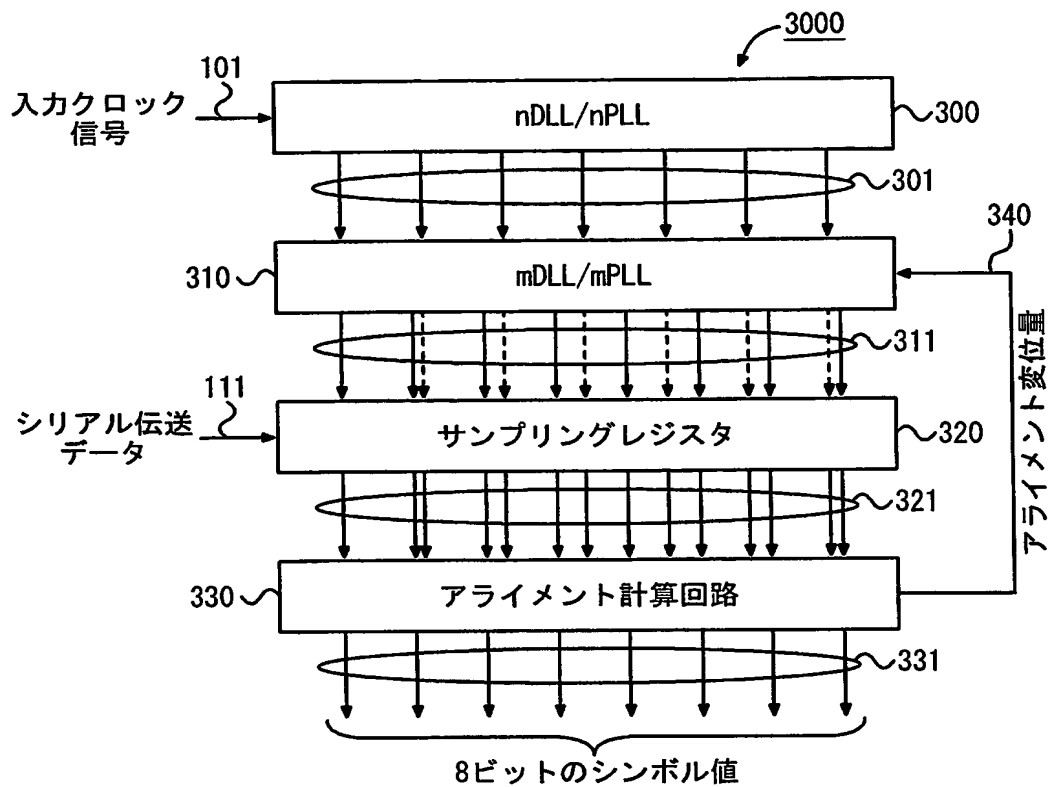
【図 2】



【図 3】

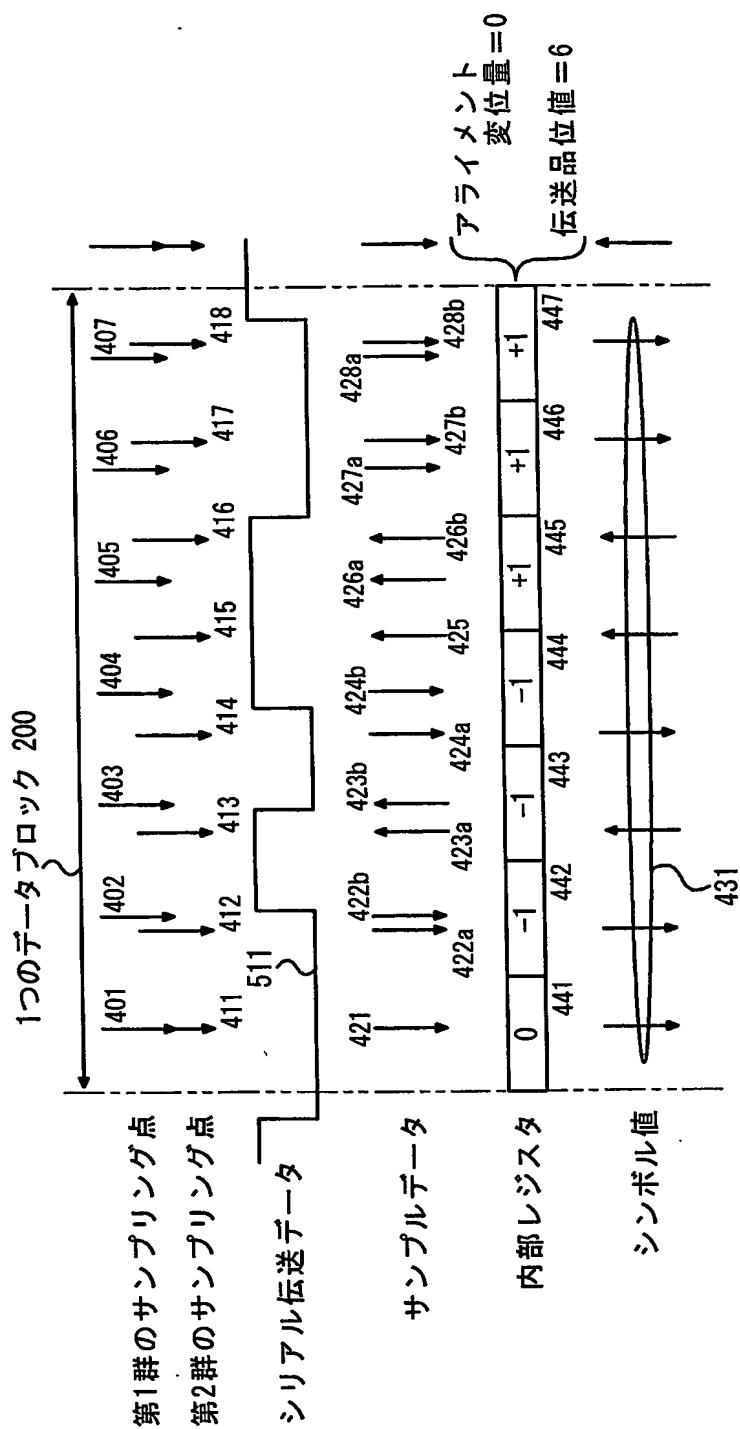


【図 4】

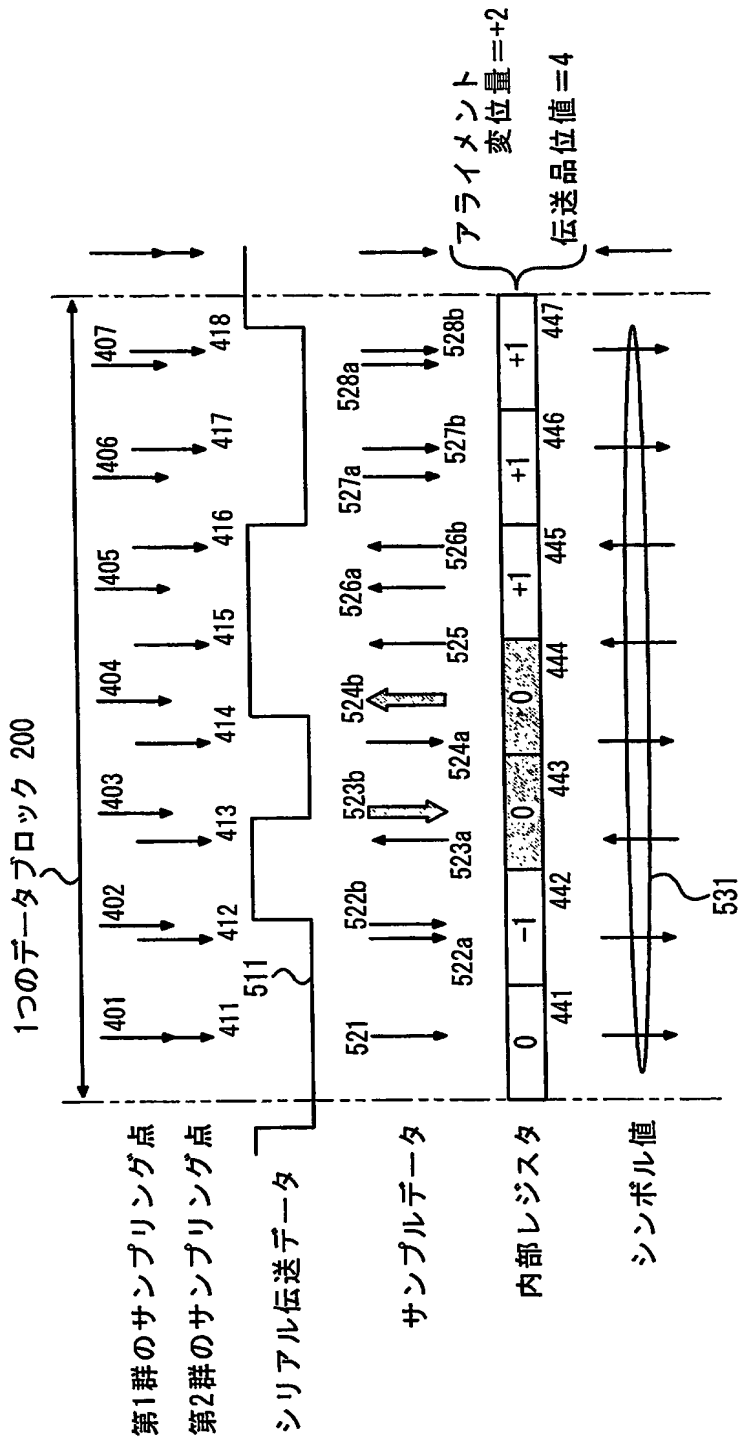




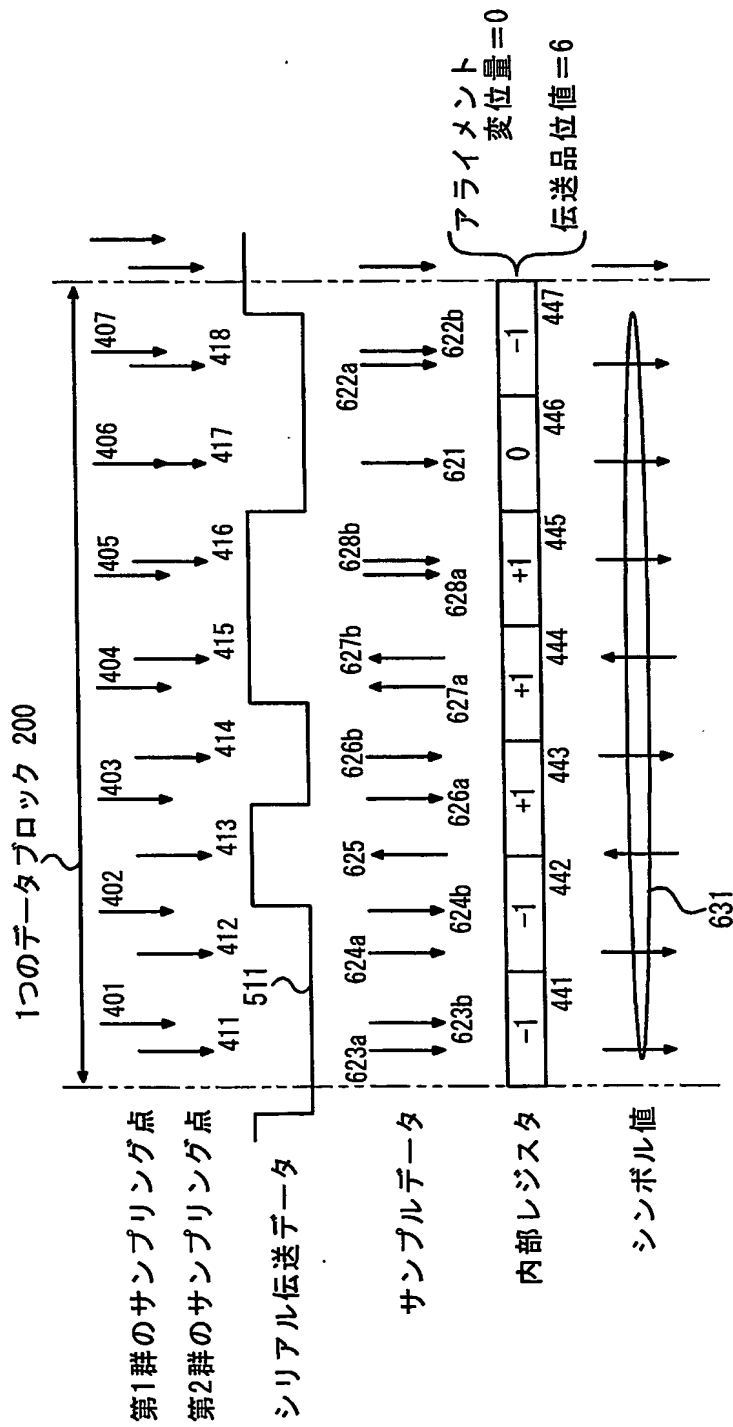
【図5】



【図 6】



【図 7】



【図 8】

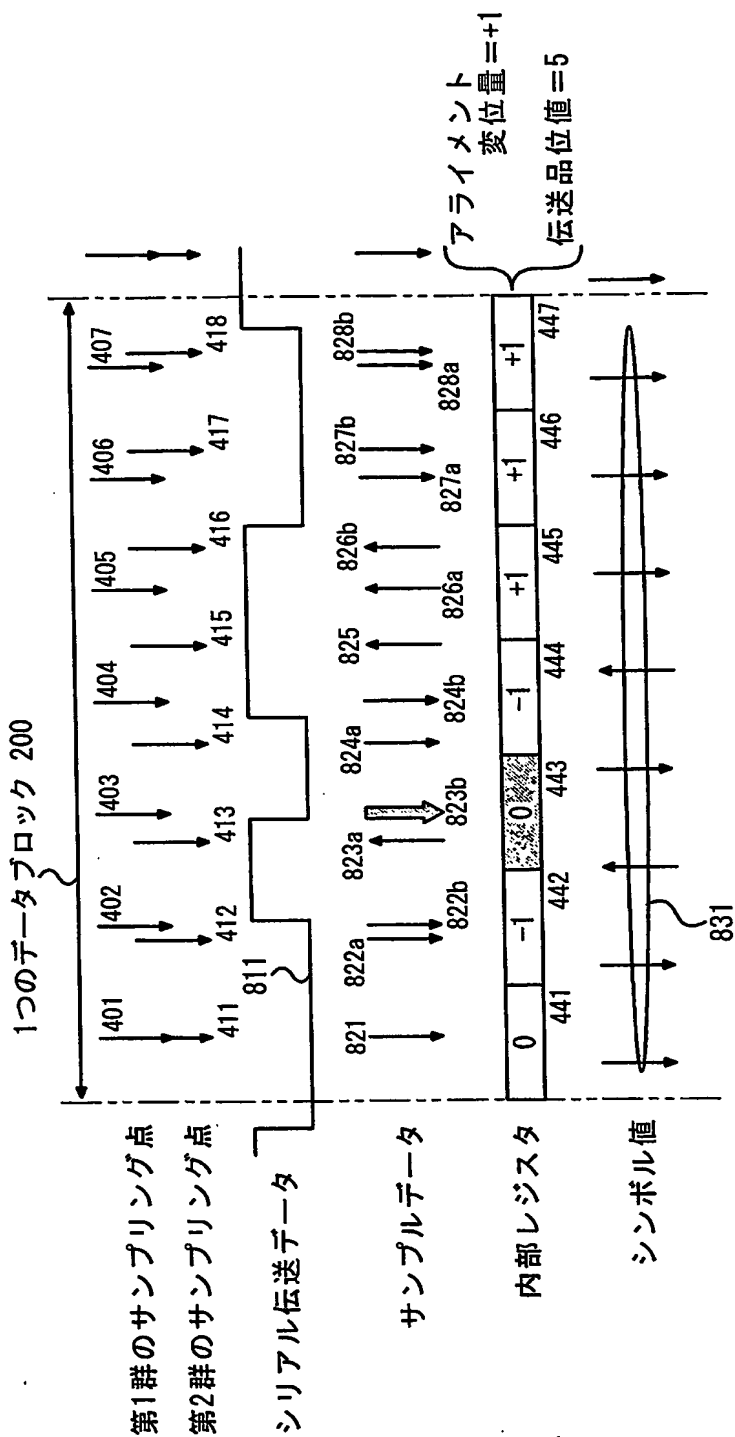
## (a) This Invention (M/N sampling method)

m	n	$m/n-1.0$	# of CLKs	skew shift(deg)
8	5	0.60	10	27.00
8	6	0.33	12	15.00
8	7	0.14	14	6.43

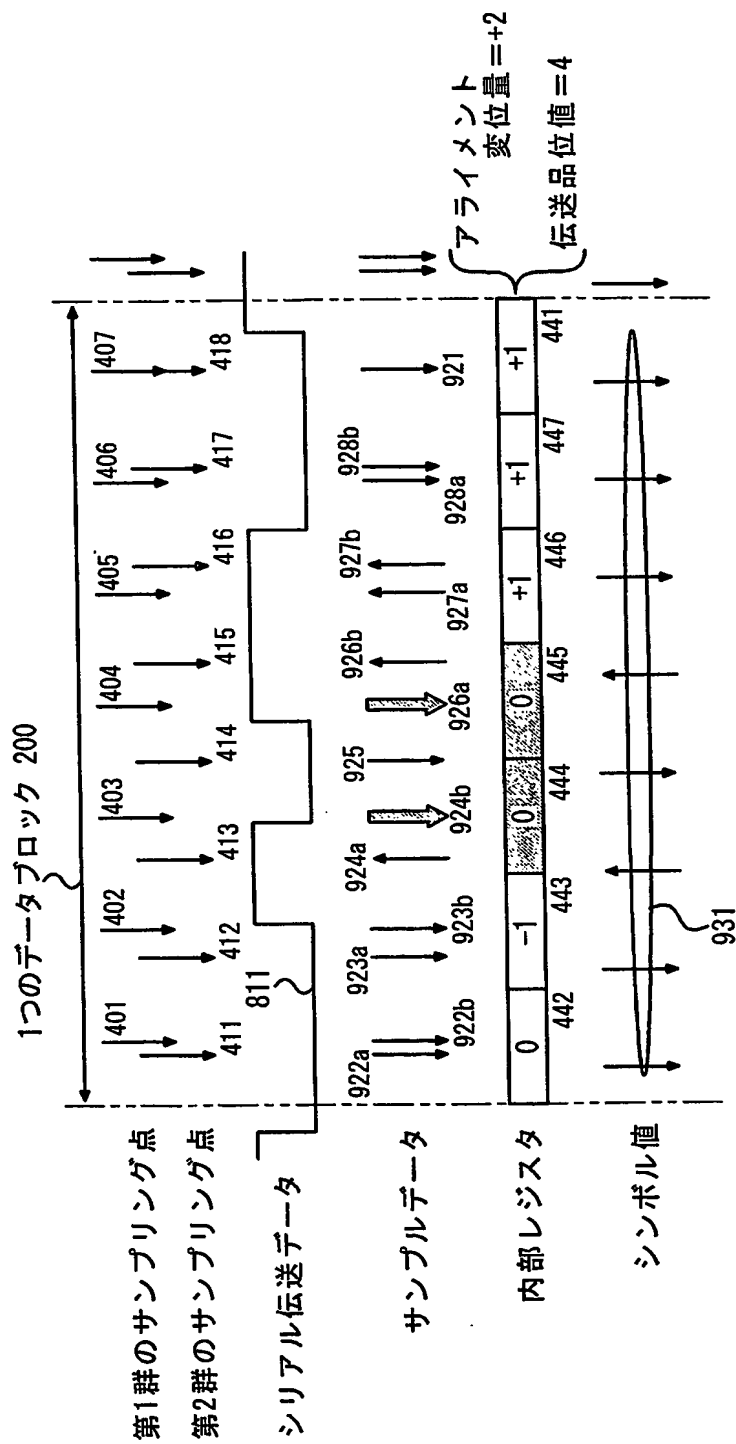
## (b) Prior Art (X sampling method)

m	X	——	# of CLKs	skew shift(deg)
8	3	——	24	15.00
8	4	——	32	11.25

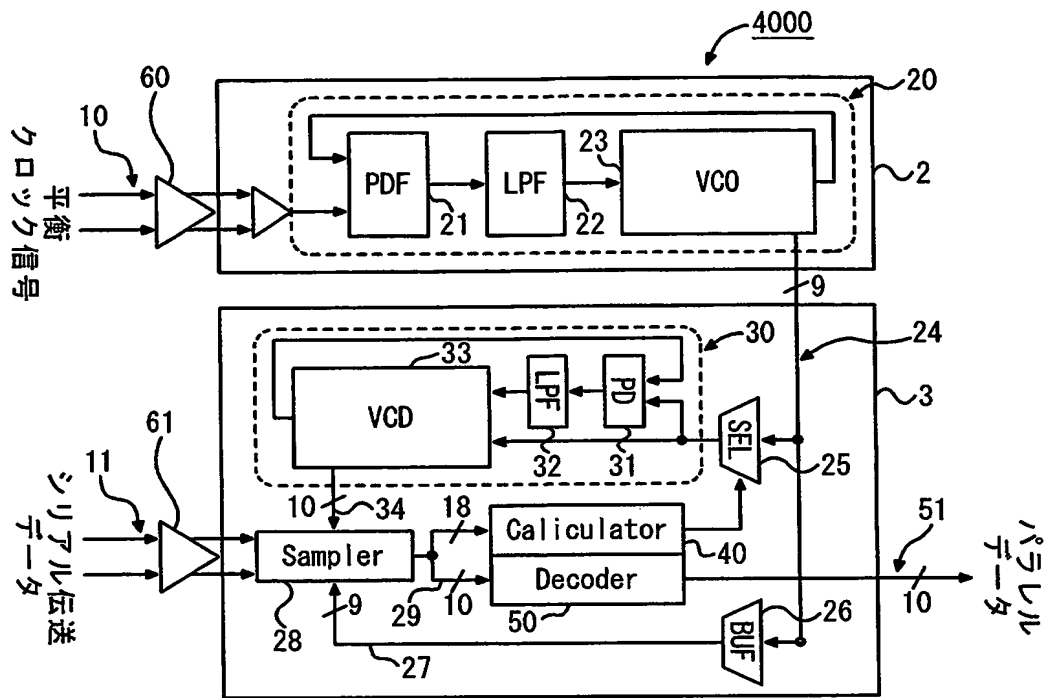
【図 9】



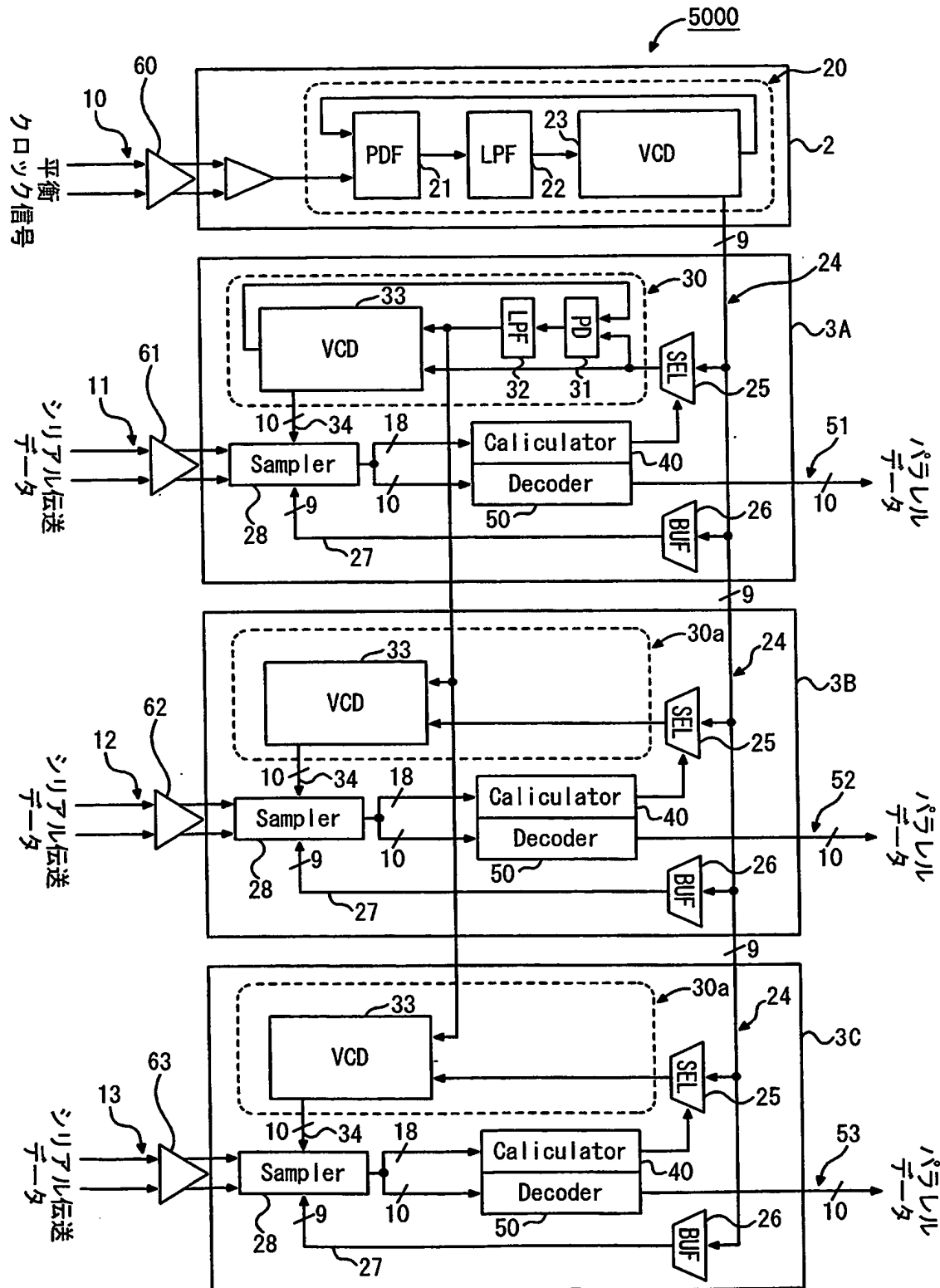
【図10】



【図 11】

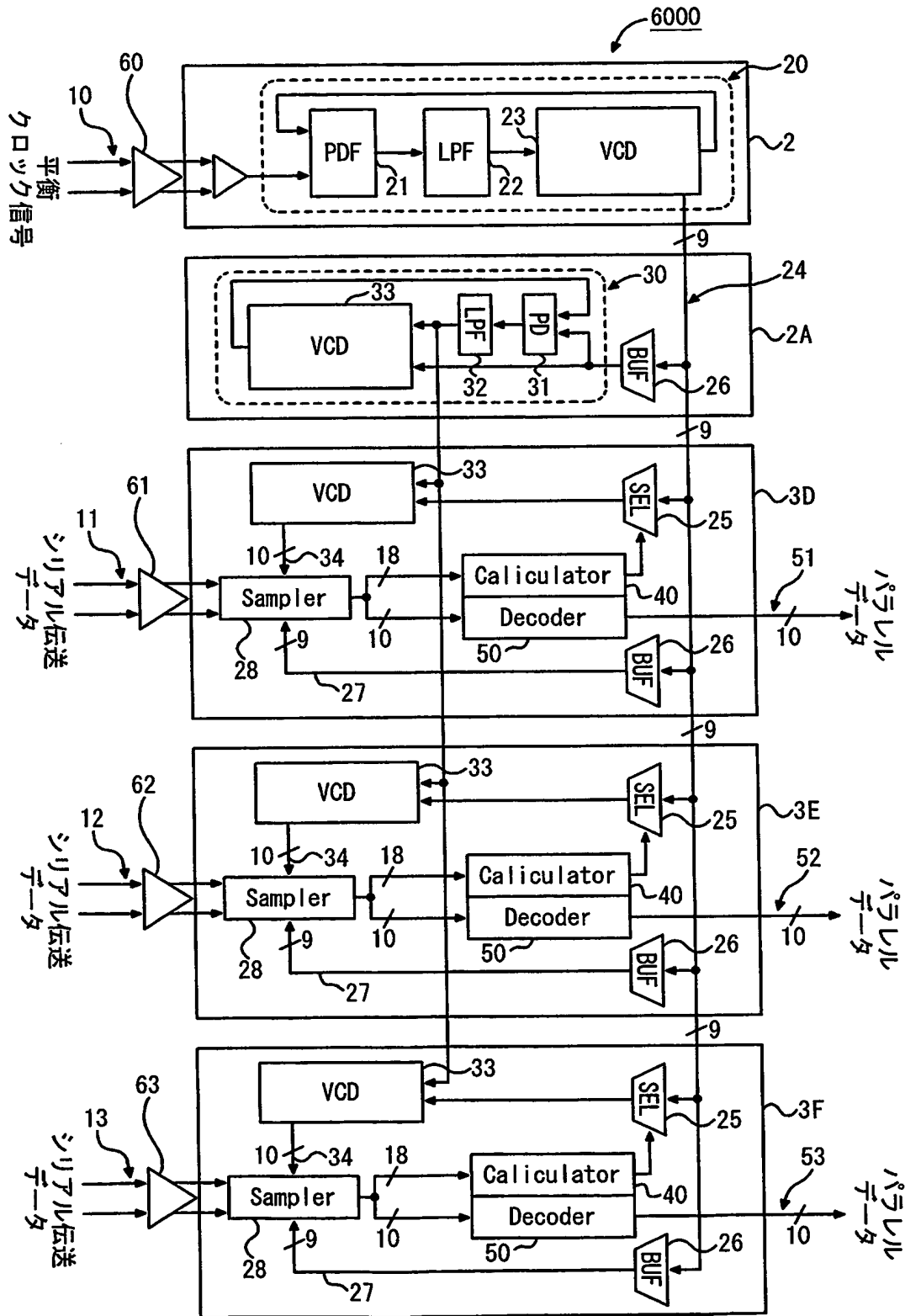


【図 12】

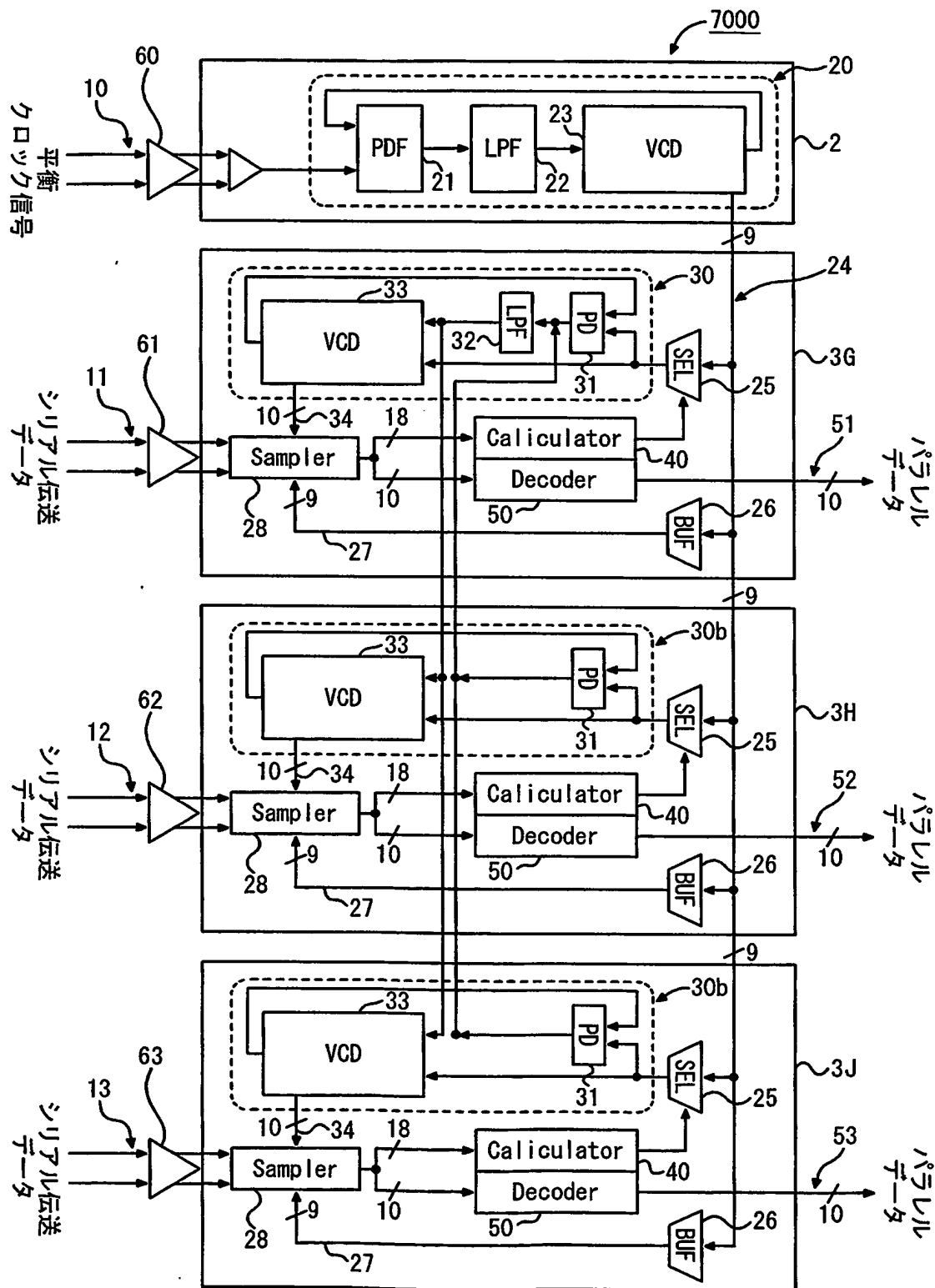




【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 回路の少なくとも1部を共用することで面積の増大が軽減された受信装置を提供する。

【解決手段】 受信装置5000は、共通回路2と3つの復調回路3A, 3B, 3Cとを有する。復調回路3Aは、第2の同期回路(DLL)30とクロック選択回路(SEL)25とサンプリングレジスタ(Sampler)28とアライメント計算回路(Calculator)40と復号回路(Decoder)50とローカルバッファ(BUF)とを有する。また、DLL30は位相検出器(PD)とLPF32と電圧制御遅延回路(VCD)33とを有する。他の復調回路3B, 3Cには復調回路3AのDLL30におけるPD31とLPF32との構成を共用する。これにより、復調回路3B, 3CにおけるDLL30aには、PD31とLPF32とを設ける必要がなくなり、回路面積が縮小される。

【選択図】 図12

特願 2002-318806

出 願 人 履 歴 情 報

識別番号

[399011195]

1. 変更年月日

2000年 1月17日

[変更理由]

住所変更

住 所

東京都中央区八丁堀一丁目10番7号

氏 名

ザインエレクトロニクス株式会社

2. 変更年月日

2003年 5月 6日

[変更理由]

住所変更

住 所

東京都中央区日本橋本町三丁目3番6号

氏 名

ザインエレクトロニクス株式会社